

PAT-NO: JP408204556A

DOCUMENT-IDENTIFIER: JP 08204556 A

TITLE: PRESALER AND PLL FREQUENCY SYNTHESIZER
CIRCUIT

PUBN-DATE: August 9, 1996

INVENTOR-INFORMATION:

NAME

TAKEGAWA, KOUJI

TAKAGI, MINORU

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

FUJITSU VLSI LTD

COUNTRY

N/A

N/A

APPL-NO: JP07010120

APPL-DATE: January 25, 1995

INT-CL (IPC): H03L007/197

ABSTRACT:

PURPOSE: To provide a prescaler which shortens the delay time of a module signal for switching of the frequency division ratio of the prescaler.

CONSTITUTION: A prescaler 4 is provided with a count part 11, an extender part 12, and a module control circuit 13. The count part 11 and the extender part 12 not only output plural signals obtained by dividing the frequency of an input signal fvco by different frequency division ratios but also are capable of, the 2-modulus operation based on respective frequency division ratios and another frequency division ratios obtained by adding a prescribed value to

respective frequency division ratios. A multiplexer 23 provided in the extender part 12 selects one of plural output signals of the extender part 12 based on a select signal SW1 inputted from the outside and outputs this signal as a frequency divided signal PD1. The module control circuit 13 switches the modulus operation of the count part 11 and the extender part 12 in response to a module signal MD inputted from the outside based on the frequency divided signal PD1.

COPYRIGHT: (C)1996, JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-204556

(43)公開日 平成8年(1996)8月9日

(51)Int.Cl.⁶

H 0 3 L 7/197

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 L 7/ 18

A

審査請求 未請求 請求項の数4 O L (全 15 頁)

(21)出願番号 特願平7-10120

(22)出願日 平成7年(1995)1月25日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(71)出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72)発明者 竹川 功滋

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(72)発明者 ▲高▼木 稔

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74)代理人 弁理士 恩田 博宜

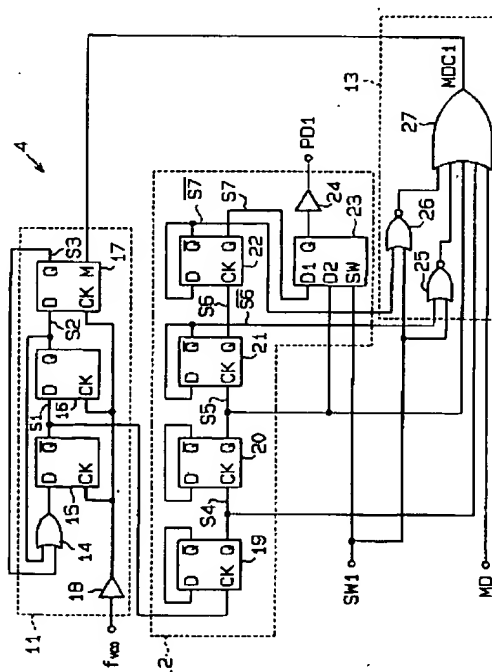
(54)【発明の名称】 プリスケラ及びPLL周波数シンセサイザ回路

(57)【要約】

【目的】プリスケラの分周比を切り換えるためのモジュール信号の遅延時間を低減できるプリスケラを提供することにある。

【構成】プリスケラ4はカウント部11、エクステンダ部12、モジュール制御回路13を備える。カウント部11及びエクステンダ部12は入力信号 f_{vco} を異なる分周比で分周した複数の信号を出力するとともに、各分周比及び各分周比に対して所定値を加えた分周比による2モジュラス動作が可能である。エクステンダ部12に備えられたマルチプレクサ23は外部から入力される選択信号SW1に基づいて、エクステンダ部12の複数の出力信号のうち1つを選択して分周信号PD1として出力する。モジュール制御回路13は分周信号PD1に基づいて外部から入力されるモジュール信号MDに忠答してカウント部11及びエクステンダ部12のモジュラス動作を切り換える。

本発明の一実施例におけるプリスケラを示す回路図



【特許請求の範囲】

【請求項1】 外部から入力される入力信号をそれぞれ異なる分周比で分周した複数の信号を出力するとともに、各分周比及び各分周比に対して所定値を加えた分周比による2モジュラス動作が可能な分周回路と、外部から入力される選択信号に基づいて、前記複数の出力信号のうちいずれか1つを選択して分周信号として出力するマルチプレクサと、

前記分周信号に基づいて外部から入力されるモジュール信号にตอบสนองして前記分周回路のモジュラス動作を切り換えるためのモジュール制御回路とを備えるプリスケラ。

【請求項2】 前記分周回路は、複数段のフリップフロップを有し、前記入力信号を分周した信号を出力するとともに、前記モジュール信号にตอบสนองして分周比が前記所定値だけ変更されるカウンタ部と、前記カウンタ部の出力信号を順次2分周した信号を出力する複数段のフリップフロップを有するエクステンダ部とを備える請求項1に記載のプリスケラ。

【請求項3】 PLL制御部の出力信号をプリスケラに入力信号として入力し、前記プリスケラは前記入力信号を分周した分周信号を前記PLL制御部に出力し、前記プリスケラは前記PLL制御部から出力されるモジュール信号にตอบสนองして分周比を変更した前記分周信号を前記PLL制御部に出力するPLL周波数シンセサイザ回路であって、

前記プリスケラは、前記入力信号をそれぞれ異なる分周比で分周した複数の信号を出力するとともに、各分周比及び各分周比に対して所定値を加えた分周比による2モジュラス動作が可能な分周回路と、

外部から入力される選択信号に基づいて、前記複数の出力信号のうちいずれか1つを選択して分周信号として出力するマルチプレクサと、

前記分周信号に基づいて外部から入力されるモジュール信号にตอบสนองして前記分周回路のモジュラス動作を切り換えるためのモジュール制御回路とを備えるPLL周波数シンセサイザ回路。

【請求項4】 前記プリスケラと前記PLL制御部とは別チップで構成した請求項3に記載のPLL周波数シンセサイザ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は出力信号を負帰還させ、出力信号の周波数を設定された周波数に一致させるように動作するPLL周波数シンセサイザ回路に関する。

【0002】近年、PLL周波数シンセサイザ回路は、例えば携帯電話、コードレス電話等の移動体通信機器に使用されており、その高速チューニング、すなわち、出力信号の周波数が設定周波数に固定されるまでに要する時間を短縮することが要求されている。

【0003】

【従来の技術】図6は従来のPLL周波数シンセサイザ回路の一例を示す。水晶発振器41は水晶振動子の発振に基づく固有周波数の発振信号 f_{osc} を基準分周器42に出力する。基準分周器42は発振信号 f_{osc} を所定の分周比で分周することにより基準信号 f_r を生成し、同基準信号 f_r を位相比較器47に出力する。比較分周器43は外部から設定される設定周波数に基づく分周比で入力信号 f_{vco} を分周することにより比較信号 f_p を生成し、同比較信号 f_p を位相比較器47に出力する。

【0004】位相比較器47は前記基準信号 f_r と比較信号 f_p との周波数差及び位相差に応じてパルス幅が増減する位相差信号 ϕ_R 、 ϕ_P をチャージポンプ48に出力する。

【0005】チャージポンプ回路48は前記位相差信号 ϕ_R 、 ϕ_P に基づいた電圧信号 D_o をローパスフィルタ(LPF)49に出力する。この電圧信号 D_o は直流成分にパルス成分が含まれたものである。LPF49は前記電圧信号 D_o を平滑して高周波成分を除去した制御電圧信号 V_T をVCO50に出力する。そして、VCO50は前記制御電圧信号 V_T の電圧値に応じた周波数の周波数信号 f_{vco} を出力し、この周波数信号 f_{vco} は比較分周器43にも帰還される。

【0006】このような動作が繰り返し実行されることによって、基準信号 f_r と比較信号 f_p の周波数及び位相がそれぞれ一致し、VCO50の周波数信号 f_{vco} は最終的に基準信号 f_r の通倍にロックされる。

【0007】このように構成されたPLL周波数シンセサイザ回路では、ロック状態から比較分周器43の設定周波数を例えば引き下げるとその分周比も小さくなり、基準信号 f_r と比較信号 f_p の周波数及び位相にずれが生じ、位相比較器47から位相差信号 ϕ_R 、 ϕ_P が出力される。

【0008】そして、チャージポンプ48の電圧信号 D_o の直流成分が変動するとともにパルス成分が生じ、その電圧信号 D_o の電圧レベルに基づいて制御電圧信号 V_T の電圧レベルが下降する。やがて、LPF49の制御電圧信号 V_T の電圧レベルが新たな設定周波数に対応した電圧レベルに収束して周波数信号 f_{vco} はロック状態に復帰する。

【0009】上記のようなPLL周波数シンセサイザ回路では、比較分周器43の設定周波数が変更されてから周波数信号 f_{vco} の周波数が収束するまでのロックアップ時間を短縮するには基準信号 f_r の周波数を高くする必要があり、基準信号 f_r の周波数を高めた状態でチャネルセパレーションを向上させる必要がある。

【0010】このような要求を満足するために、前記比較分周器43をパルススワロウ方式としたものがある。すなわち、パルススワロウ方式の比較分周器43はプリスケラ44、プログラムカウンタ45及びスワロウカ

3

ウンタ46を備える。プリスケラ44は入力された信号を分周比Pと分周比(P+X)とで分周する2モジュラス動作を行う。なお、分周比Xは正の整数又は負の整数である。また、分周比Pは正の整数であり、分周比Pは外部からの選択信号によって変更可能である。プリスケラ44は前記周波数信号f_{vco}を入力し、周波数信号f_{vco}の周波数を分周比Pと分周比(P+X)とで分周した分周信号PD0をプログラムカウンタ45及びスワロウカウンタ46に出力する。

【0011】プログラムカウンタ45はプリスケラ44の分周信号PD0を入力する。プログラムカウンタ45は外部から分周比Nを任意に設定可能であり、分周信号PD0を設定された分周比Nで分周することにより比較信号f_pを生成する。プログラムカウンタ45は比較信号f_pを位相比較器47に出力するとともに、比較信号f_pをスワロウカウンタ46に起動信号として出力する。

【0012】スワロウカウンタ46はプリスケラ44のモジュラス動作の切り換えを制御するためのモジュール信号MDをプリスケラ44に出力するものである。スワロウカウンタ46はプリスケラ44の分周信号PD0のパルスをカウントしている間はLレベルのモジュール信号MDを出力する。プリスケラ44はLレベルのモジュール信号MDに基づいて分周比(P+X)で周波数信号f_{vco}を分周する。

【0013】また、スワロウカウンタ46が分周信号PD0のA(正の整数)個のパルスをカウントすると、Hレベルのモジュール信号MDを出力するとともに、カウント動作を停止する。プリスケラ44はHレベルのモジュール信号MDに基づいて分周比Pで周波数信号f_{vc} 30 oを分周する。

【0014】すなわち、上記PLL周波数シンセサイザ回路では、プログラムカウンタ45がプリスケラ44の分周信号PD0をN分周する毎にスワロウカウンタ46が動作してプリスケラ44の分周信号PD0のパルスをA個カウントする。従って、プリスケラ44、プログラムカウンタ45及びスワロウカウンタ46を合わせた比較分周器43の分周比DRは、

【0015】

【数1】 $DR = P \times N + A \times X$

で表される。これは、

【0016】

【数2】 $DR = P \times (N - A) + (P + X) \times A$

と等価である。すなわち、プリスケラ44はスワロウカウンタのカウント中には分周比(P+X)で分周動作を行い、それ以外の期間には分周比Pで分周動作を行う。

【0017】図7には前記分周比Xを1としたプリスケラ44の詳細が示されている。プリスケラ44はカウンタ部51、エクステンダ部52及びOR回路53を

4

備える。カウンタ部51はバイポーラトランジスタで構成されたフリップフロップ(以下、フリップフロップを単にFFという)55~57、OR回路54及びバッファ58を備える。FF55のデータ端子DにはOR回路54の出力信号が入力され、FF55のクロック端子CKにはバッファ58を介して前記周波数信号f_{vco}が入力されている。FF55の出力端子バーQの出力信号S11はエクステンダ部52に出力されている。

【0018】FF56のデータ端子Dには出力信号S11が入力され、クロック端子CKには前記バッファ58を介して周波数信号f_{vco}が入力されている。FF56の出力端子Qの出力信号S12は通常のデータFFの出力信号であり、出力信号S12は前記OR回路54に出力されている。出力信号S12は前記出力信号S11から周波数信号f_{vco}の1パルス分遅れた信号となる。

【0019】FF57のデータ端子Dには前記出力信号S12が入力され、クロック端子CKには前記バッファ58を介して周波数信号f_{vco}が入力されている。FF57の制御端子Mにはモジュール制御信号MDC0が入力されている。FF57の出力端子Qの出力信号S13は前記OR回路54に出力されている。モジュール制御信号MDC0がHレベルのとき、出力信号S13はLレベルとなり、モジュール制御信号MDC0がLレベルのとき、出力信号S13は通常のデータFFの出力となる。

【0020】エクステンダ部52はトグルFF59、60、制御端子付きのトグルFF61、62及びバッファ63を備えている。トグルFF59、60、61、62はバイポーラトランジスタ構成のマスタースレーブ型であり、それぞれクロック端子CKへの入力信号が変化してから出力信号が変化するまでに遅延時間T_{d1}を有する。

【0021】トグルFF59のデータ端子Dはその出力端子バーQに接続され、クロック端子CKには前記出力信号S11が入力されている。トグルFF59は前記出力信号S11の周波数を2分周し、出力信号S11のパルスを2つカウントする毎に1つのパルスを持つ出力信号S14を出力端子Qから出力する。

【0022】トグルFF60のデータ端子Dはその出力端子バーQに接続され、クロック端子CKには前記出力信号S14が入力されている。トグルFF60は前記出力信号S14の周波数を2分周し、出力信号S14のパルスを2つカウントする毎に1つのパルスを持つ出力信号S15を出力端子Qから出力する。

【0023】トグルFF61のデータ端子Dはその出力端子バーQに接続され、クロック端子CKには前記出力信号S15が入力されている。トグルFF61は制御端子SWを備え、その端子SWには外部から選択信号SW0が入力されている。選択信号SW0がHレベルのとき、トグルFF61はクロック端子CKへの入力信号S

5

15と同相の信号を出力する。選択信号SW0がLレベルのとき、トグルFF61は通常のトグルFFとして動作し、前記出力信号S15の周波数を2分周し、出力信号S15のパルスを2つカウントする毎に1つのパルスを持つ出力信号S16を出力端子Qから出力する。

【0024】トグルFF62のデータ端子Dはその出力端子バーQに接続され、クロック端子CKには前記出力信号S16が入力されている。トグルFF62は制御端子SWを備え、その端子SWには外部から選択信号SW0が入力されている。選択信号SW0がHレベルのとき、トグルFF62はクロック端子CKへの入力信号S16と同相の信号を出力する。選択信号SW0がLレベルのとき、トグルFF62は通常のトグルFFとして動作し、前記出力信号S16の周波数を2分周し、出力信号S16のパルスを2つカウントする毎に1つのパルスを持つ出力信号S17を出力端子Qからバッファ63に出力する。

【0025】バッファ63は出力信号S17を分周信号PD0として前記スワロウカウンタ46及びプログラムカウンタ45に出力する。OR回路53は前記出力信号S14、S15、S16、S17及び前記モジュール信号MDを入力し、これらの信号の論理和を取ったモジュール制御信号MDC0を前記FF57の制御端子Mに出力する。従って、出力信号S14、S15、S16、S17及びモジュール信号MDの少なくとも1つがHレベルである間にはモジュール制御信号MDC0はHレベルとなる。すべての出力信号S14、S15、S16、S17及びモジュール信号MDがLレベルになったときのみ、モジュール制御信号MDC0はLレベルとなる。

【0026】上記のように構成されたプリスケラ44では、選択信号SW0がHレベルであると、出力信号S17は出力信号S15をトグルFF61、62の遅延時間だけ遅らせたものとなり、エクステンダ部52の分周比は4となる。このとき、スワロウカウンタ46からHレベルのモジュール信号MDが出力されていると、モジュール制御信号MDC0がHレベルとなり、FF57の出力信号S13はLレベルとなる。そのため、周波数信号f_{vco}はカウンタ部51により4分周され、周波数信号f_{vco}のパルスが4つカウントされる毎に1つのパルスを持つ出力信号S11が出力される。

【0027】この出力信号S11はエクステンダ部52により4分周されて分周信号PD0として出力される。すなわち、分周信号PD0は周波数信号f_{vco}の周波数を16分周したものとなる。

【0028】また、選択信号SW0がHレベルのとき、前記スワロウカウンタ46により分周信号PD0のパルスがカウントされている間はLレベルのモジュール信号MDが出力される。従って、出力信号S14、S15、S16、S17がLレベルになると、モジュール制御信号MDC0はLレベルとなる。プリスケラ44が分周

6

を開始してから周波数信号f_{vco}の15個目のパルスでは出力信号S11はLレベルであり、出力信号S12はHレベルであり、出力信号S13はHレベルである。従って、周波数信号f_{vco}の16個目のパルスの立ち上がりエッジに基づいて出力信号S12はLレベルとなり、出力信号S13はHレベルに保持される。よって、OR回路54の出力はHレベルとなる。そのため、プリスケラ44に周波数信号f_{vco}の17個目のパルスが入力されると、出力信号S11、S12、S13はすべてLレベルとなる。すなわち、モジュール制御信号MDC0がLレベルになると、分周信号PD0は周波数信号f_{vco}の周波数を17分周したものとなる。

【0029】一方、選択信号SW0がLレベルであるとき、トグルFF61、62はトグルFFとして動作するため、エクステンダ部52の分周比は16となる。このとき、スワロウカウンタ46からHレベルのモジュール信号MDが出力されていると、モジュール制御信号MDC0がHレベルとなり、FF57の出力信号S13はLレベルとなる。そのため、周波数信号f_{vco}はカウンタ部51により4分周され、周波数信号f_{vco}のパルスが4つカウントされる毎に1つのパルスを持つ出力信号S11が出力される。

【0030】この出力信号S11はエクステンダ部52により16分周されて分周信号PD0として出力される。すなわち、分周信号PD0は周波数信号f_{vco}の周波数を64分周したものとなる。

【0031】また、選択信号SW0がLレベルのとき、前記スワロウカウンタ46により分周信号PD0のパルスがカウントされている間はLレベルのモジュール信号MDが出力される。従って、出力信号S14、S15、S16、S17がLレベルになると、モジュール制御信号MDC0はLレベルとなる。プリスケラ44が分周を開始してから周波数信号f_{vco}の63個目のパルスでは出力信号S11はLレベルであり、出力信号S12はHレベルであり、出力信号S13はHレベルである。従って、周波数信号f_{vco}の64個目のパルスの立ち上がりエッジに基づいて出力信号S12はLレベルとなり、出力信号S13はHレベルに保持される。よって、OR回路54の出力はHレベルとなる。そのため、プリスケラ44に周波数信号f_{vco}の65個目のパルスが入力されると、出力信号S11、S12、S13はすべてLレベルとなる。すなわち、モジュール制御信号MDC0がLレベルになると、分周信号PD0は周波数信号f_{vco}の周波数を65分周したものとなる。

【0032】

【発明が解決しようとする課題】ところで、図8に示すようにプリスケラ44の16分周から17分周への切り換わり時において、出力信号S14～S17がLレベルのときにモジュール信号MDがHレベルからLレベルに変化していないと、OR回路53からはLレベルのモ

ジュール制御信号MDC0が出力されない。この場合には、プリスケラ44の分周比は16のままとなり、分周比が17となることはない。また、図9に示すようにプリスケラ44の17分周から16分周への切り切りわり時において、出力信号S14～S17がLレベルのときにモジュール信号MDがLレベルからHレベルに変化していないと、OR回路53からはHレベルのモジュール制御信号MDC0が出力されない。この場合には、プリスケラ44の分周比は17のままとなり、分周比が16となることはない。

【0033】ところが、上記プリスケラ44では16分周及び17分周を行う場合にもエクステンダ部52のすべてのトグルFF59～62を通過した信号を分周信号PD0としているため、分周信号PD0の変化は出力信号S11よりも4つ分のトグルFFの遅延時間 $4 \times T_{d1}$ だけ遅れることとなる。また、モジュール信号MDはプリスケラ44の外部に形成されたスワロウカウンタ46から比較的長い配線によりOR回路53に入力されるため、その配線による分周信号PD0の変化からのモジュール信号MDの遅延時間 T_{d2} が大きい。

【0034】従って、図8に示すようにプリスケラ44の16分周から17分周への切り切りわり時において、モジュール信号MDがHレベルからLレベルに変化してからすべての出力信号S14～S17がLレベルとなる時点までの動作マージンが小さくなる。また、図9に示すようにプリスケラ44の17分周から16分周への切り切りわり時において、モジュール信号MDがLレベルからHレベルに変化してからすべての出力信号S14～S17がLレベルとなる時点までの動作マージンが小さくなる。トグルFF59～62の各遅延時間 T_{d1} 及び遅延時間 T_{d2} は周波数信号 f_{vco} の周波数に関係なくほぼ一定である。そのため、周波数信号 f_{vco} の周波数が高くなると、この動作マージンがなくなって16分周から17分周への切り切りわり及び17分周から16分周への切り切りわりが行われなくなり、PLL周波数シンセサイザ回路の動作の高速化を図る上で大きな問題となる。

【0035】本発明は上記問題点を解決するためになされたものであって、その目的は、プリスケラの分周比を切り換えるためのモジュール信号の遅延時間を低減できるプリスケラを提供することにある。

【0036】また、本発明の別の目的は、より高速に動作するPLL周波数シンセサイザ回路を提供することにある。

【0037】

【課題を解決するための手段】上記目的を達成するため、請求項1の発明は、図1に示すように分周回路11、12と、マルチプレクサ23と、モジュール制御回路13とを備える。分周回路11、12は外部から入力される入力信号 f_{vco} をそれぞれ異なる分周比で分周し

た複数の信号を出力するとともに、各分周比及び各分周比に対して所定値を加えた分周比による2モジュラス動作が可能である。マルチプレクサ23は外部から入力される選択信号SW1に基づいて、複数の出力信号のうちいずれか1つを選択して分周信号PD1として出力する。モジュール制御回路13は分周信号PD1に基づいて外部から入力されるモジュール信号MDにตอบสนองして分周回路11、12のモジュラス動作を切り換える。

【0038】また、分周回路は、複数段のフリップフロップ15～17を有し、入力信号 f_{vco} を分周した信号S1を出力するとともに、モジュール信号MDにตอบสนองして分周比が所定値だけ変更されるカウンタ部11と、カウンタ部11の出力信号S1を順次2分周した信号を出力する複数段のフリップフロップ19～22を有するエクステンダ部12とを備える。

【0039】請求項3の発明は、PLL制御部の出力信号をプリスケラ4に入力信号 f_{vco} として入力し、プリスケラ4は入力信号 f_{vco} を分周した分周信号PD1をPLL制御部に出力し、プリスケラ4はPLL制御部から出力されるモジュール信号MDにตอบสนองして分周比を変更した分周信号PD1をPLL制御部に出力するPLL周波数シンセサイザ回路である。プリスケラ4は、入力信号 f_{vco} をそれぞれ異なる分周比で分周した複数の信号を出力するとともに、各分周比及び各分周比に対して所定値を加えた分周比による2モジュラス動作が可能な分周回路11、12と、外部から入力される選択信号SW1に基づいて、複数の出力信号のうちいずれか1つを選択して分周信号PD1として出力するマルチプレクサ23と、分周信号PD1に基づいて外部から入力されるモジュール信号MDにตอบสนองして分周回路11、12のモジュラス動作を切り換えるためのモジュール制御回路13とを備える。

【0040】また、プリスケラ4とPLL制御部とは別チップで構成される。

【0041】

【作用】請求項1及び2の発明では、入力信号 f_{vco} を異なる分周比で分周した複数の信号のうちいずれか1つがマルチプレクサ23によって選択されて分周信号PD1として出力され、この分周信号PD1に基づいて外部からモジュール信号MDが入力される。そのため、モジュール信号MDには最小限の遅延時間のみが含まれることとなり、このモジュール信号MDにตอบสนองしてプリスケラ4の分周比は確実に切り換えられる。

【0042】請求項3の発明では、PLL制御部の出力信号がプリスケラ4に入力信号 f_{vco} として入力される。プリスケラ4からは入力信号 f_{vco} を異なる分周比で分周した複数の信号のうちいずれか1つがマルチプレクサ23によって選択されて分周信号PD1として出力され、この分周信号PD1に基づいてPLL制御部からモジュール信号MDが入力される。そのため、モジュ

ール信号MDには最小限の遅延時間のみが含まれることとなり、このモジュール信号MDに応答してプリスケラ4の分周比は確実に切り換えられる。その結果、PLL周波数シンセサイザ回路の動作の高速化が可能となる。

【0043】

【実施例】以下、本発明を具体化した一実施例を図1～図5に従って説明する。図2には本実施例のPLL周波数シンセサイザ回路が示されている。このPLL周波数シンセサイザ回路は水晶発振器1、基準分周器2、比較分周器3、位相比較器7、チャージポンプ回路8、ローパスフィルタ(LPF)9及び電圧制御発振器(VCO)10を備える。比較分周器3はパルススワロウ方式であり、プリスケラ4、プログラムカウンタ5及びスワロウカウンタ6を備える。本実施例では比較分周器3を構成するプリスケラ4以外の他の回路によってPLL制御部が構成されている。PLL制御部の基準分周器2、プログラムカウンタ5、スワロウカウンタ6、位相比較器7、チャージポンプ回路8、VCO10は1つのチップTi1上に形成され、プリスケラ4は別の独立したチップTi2上に形成されている。水晶発振器1及びLPF9はチップTi1に対して外付けされる。また、基準分周器2、プログラムカウンタ5、スワロウカウンタ6、位相比較器7及びチャージポンプ回路8は1つのチップ上に形成されるとともに、プリスケラ4は別の独立したチップ上に形成され、水晶発振器1、LPF9及びVCO10が外付けされる場合もある。また、基準分周器2、プログラムカウンタ5、スワロウカウンタ6、位相比較器7、チャージポンプ回路8及びプリスケラ4は1つのチップ上に形成され、水晶発振器1、LPF9及びVCO10が外付けされる場合もある。また、基準分周器2、プログラムカウンタ5、スワロウカウンタ6、位相比較器7及びチャージポンプ回路8は1つのチップ上に形成されるとともに、プリスケラ4及びVCO10が別のチップ上に形成され、水晶発振器1及びLPF9が外付けされる場合もある。さらに、基準分周器2、プログラムカウンタ5、スワロウカウンタ6、位相比較器7、チャージポンプ回路8、VCO10及びプリスケラ4は1つのチップ上に形成され、水晶発振器1及びLPF9が外付けされる場合もある。

【0044】水晶発振器1は水晶振動子の発振に基づく固有周波数の発振信号 f_{osc} を基準分周器2に出力する。基準分周器2は発振信号 f_{osc} を所定の分周比で分周することにより基準信号 f_r を生成し、同基準信号 f_r を位相比較器7に出力する。比較分周器3は外部から設定される設定周波数に基づく分周比で入力信号 f_{vco} を分周することにより比較信号 f_p を生成し、同比較信号 f_p を位相比較器7に出力する。

【0045】位相比較器7は前記基準信号 f_r と比較信号 f_p との周波数差及び位相差に応じてパルス幅が増減

する位相差信号 ϕ_R 、 ϕ_P をチャージポンプ8に出力する。チャージポンプ回路8は前記位相差信号 ϕ_R 、 ϕ_P に基づいた電圧信号 D_o をLPF9に出力する。この電圧信号 D_o は直流成分にパルス成分が含まれたものである。LPF9は前記電圧信号 D_o を平滑して高周波成分を除去した制御電圧信号 V_T をVCO10に出力する。そして、VCO10は前記制御電圧信号 V_T の電圧値に応じた周波数の周波数信号 f_{vco} を出力し、この周波数信号 f_{vco} は比較分周器3にも帰還される。

【0046】このような動作が繰り返して実行されることによって、基準信号 f_r と比較信号 f_p の周波数及び位相がそれぞれ一致し、VCO10の周波数信号 f_{vco} は最終的に基準信号 f_r の通信にロックされる。

【0047】比較分周器3はパルススワロウ方式であり、プリスケラ4、プログラムカウンタ5及びスワロウカウンタ6を備える。プリスケラ4は入力された信号を分周比Pと分周比(P+X)とで分周する2モジュラス動作を行う。なお、分周比Xは正の整数又は負の整数である。また、分周比Pは正の整数であり、分周比Pは外部からの選択信号によって変更可能である。プリスケラ4は前記周波数信号 f_{vco} を入力し、周波数信号 f_{vco} の周波数を分周比Pと分周比(P+X)とで分周した分周信号PD1をプログラムカウンタ5及びスワロウカウンタ6に出力する。

【0048】プログラムカウンタ5はプリスケラ4の分周信号PD1を入力する。プログラムカウンタ5は外部から分周比Nを任意に設定可能であり、分周信号PD1を設定された分周比Nで分周することにより比較信号 f_p を生成する。プログラムカウンタ5は比較信号 f_p を位相比較器7に出力するとともに、比較信号 f_p をスワロウカウンタ6に起動信号として出力する。

【0049】スワロウカウンタ6はプリスケラ4のモジュラス動作の切り換えを制御するためのモジュール信号MDをプリスケラ4に出力するものである。スワロウカウンタ6はプリスケラ4の分周信号PD1のパルスをカウントしている間はLレベルのモジュール信号MDを出力する。プリスケラ4はLレベルのモジュール信号MDに基づいて分周比(P+X)で周波数信号 f_{vco} を分周する。

【0050】また、スワロウカウンタ6が分周信号PD1のA(正の整数)個のパルスをカウントすると、Hレベルのモジュール信号MDを出力するとともに、カウント動作を停止する。プリスケラ4はHレベルのモジュール信号MDに基づいて分周比Pで周波数信号 f_{vco} を分周する。

【0051】すなわち、上記PLL周波数シンセサイザ回路では、プログラムカウンタ5がプリスケラ4の分周信号PD1をN分周する毎にスワロウカウンタ6が動作してプリスケラ4の分周信号PD1のパルスをA個カウントする。従って、プリスケラ4、プログラムカ

11

ウンタ5及びスワロウカウンタ6を合わせた比較分周器3の分周比DRは、

【0052】

【数3】 $DR = P \times N + A \times X$

で表される。これは、

【0053】

【数4】 $DR = P \times (N - A) + (P + X) \times A$

と等価である。すなわち、プリスケアラ4はスワロウカウンタのカウンタ中には分周比(P+X)で分周動作を行い、それ以外の期間には分周比Pで分周動作を行う。

【0054】図1には前記分周比Xを1としたプリスケアラ4の詳細が示されている。プリスケアラ4はカウンタ部11、エクステンダ部12及びモジュール制御回路13を備える。カウンタ部11はバイポーラトランジスタで構成されたフリップフロップ(以下、フリップフロップを単にFFという)15~17、OR回路14及びバッファ18を備える。FF15のデータ端子DにはOR回路14の出力信号が入力され、FF15のクロック端子CKにはバッファ18を介して前記周波数信号fvc0が入力されている。FF15の出力端子バーQの出力信号S1はエクステンダ部12に出力されている。

【0055】FF16のデータ端子Dには出力信号S1が入力され、クロック端子CKには前記バッファ18を介して周波数信号fvc0が入力されている。FF16の出力端子Qの出力信号S2は通常のデータFFの出力信号であり、出力信号S2は前記OR回路14に出力されている。出力信号S2は前記出力信号S1から周波数信号fvc0の1パルス分遅れた信号となる。

【0056】FF17のデータ端子Dには前記出力信号S2が入力され、クロック端子CKには前記バッファ18を介して周波数信号fvc0が入力されている。FF17の制御端子Mにはモジュール制御信号MDC1が入力されている。FF17の出力端子Qの出力信号S3は前記OR回路14に出力されている。モジュール制御信号MDC1がHレベルのとき、出力信号S3はLレベルとなり、モジュール制御信号MDC1がLレベルのとき、出力信号S3は通常のデータFFの出力となる。

【0057】エクステンダ部12はトグルFF19、20、21、22、マルチプレクサ23及びバッファ24を備えている。トグルFF19~22はバイポーラトランジスタ構成のマスタースレーブ型であり、それぞれクロック端子CKへの入力信号が変化してから出力信号が変化するまでに遅延時間Td1を有する。

【0058】トグルFF19のデータ端子Dはその出力端子バーQに接続され、クロック端子CKには前記出力信号S1が入力されている。トグルFF19は前記出力信号S1の周波数を2分周し、出力信号S1のパルスを2つカウントする毎に1つのパルスを持つ出力信号S4を出力端子Qから出力する。

【0059】トグルFF20のデータ端子Dはその出力

12

端子バーQに接続され、クロック端子CKには前記出力信号S4が入力されている。トグルFF20は前記出力信号S4の周波数を2分周し、出力信号S4のパルスを2つカウントする毎に1つのパルスを持つ出力信号S5を出力端子Qから出力する。

【0060】トグルFF21のデータ端子Dはその出力端子バーQに接続され、クロック端子CKには前記出力信号S5が入力されている。トグルFF21は前記出力信号S5の周波数を2分周し、出力信号S5のパルスを2つカウントする毎に1つのパルスを持つ出力信号S6を出力端子Qから出力する。

【0061】トグルFF22のデータ端子Dはその出力端子バーQに接続され、クロック端子CKには前記出力信号S6が入力されている。トグルFF22は前記出力信号S6の周波数を2分周し、出力信号S6のパルスを2つカウントする毎に1つのパルスを持つ出力信号S7を出力端子Qからマルチプレクサ23に出力する。

【0062】マルチプレクサ23の入力端子D1には前記出力信号S7が入力され、入力端子D2には前記出力信号S5が入力されている。マルチプレクサ23は制御端子SWを備え、その端子SWには外部から選択信号SW1が入力されている。マルチプレクサ23は選択信号SW1のレベルに基づいて出力信号S5又はS7を選択してその出力端子Qからバッファ24に出力する。すなわち、選択信号SW1がHレベルのとき、マルチプレクサ23は前記出力信号S5を選択して出力する。選択信号SW1がLレベルのとき、マルチプレクサ23は前記出力信号S7を選択して出力する。マルチプレクサ23は選択した入力信号が変化してからその出力信号が変化するまでに遅延時間Td3を有し、この遅延時間Td3は前記トグルFF19~22の遅延時間Td1に比較して、約2分の1である。

【0063】バッファ24はマルチプレクサ23から入力した信号を分周信号PD1として前記スワロウカウンタ6及びプログラムカウンタ5に出力する。モジュール制御回路13はNOR回路25、26及びOR回路27を備える。NOR回路25は前記選択信号SW1を入力するとともに、前記トグルFF21の出力端子Qバーの出力信号S6バーを入力している。従って、選択信号SW1がHレベルのとき、NOR回路25の出力信号は出力信号S6バーのレベルに係わらずLレベルとなる。選択信号SW1がLレベルのとき、NOR回路25の出力信号は出力信号S6バーのレベルを反転したレベル、すなわち、前記出力信号S6となる。NOR回路26は前記選択信号SW1を入力するとともに、前記トグルFF22の出力端子Qバーの出力信号S7バーを入力している。従って、選択信号SW1がHレベルのとき、NOR回路26の出力信号は出力信号S7バーのレベルに係わらずLレベルとなる。選択信号SW1がLレベルのとき、NOR回路26の出力信号は出力信号S7バーのレ

13

ベルを反転したレベル、すなわち、前記出力信号S7となる。

【0064】OR回路27は前記出力信号S4、S5、前記モジュール信号MD及びNOR回路25、26の出力信号を入力し、これらの信号の論理和を取ったモジュール制御信号MDC1を前記FF17の制御端子Mに出力する。従って、出力信号S4、S5、モジュール信号MD及びNOR回路25、26の出力信号の少なくとも1つがHレベルである間にはモジュール制御信号MDC1はHレベルとなる。これらすべての信号がLレベルになったときのみ、モジュール制御信号MDC1はLレベルとなる。

【0065】上記のように構成されたプリスケラ4では、選択信号SW1がHレベルであると、マルチプレクサ23によってトグルFF20の出力信号S5が選択されてバッファ24から分周信号PD1として出力される。そのため、エクステンダ部12の分周比は4となる。このとき、スワロウカウンタ6からHレベルのモジュール信号MDが出力されていると、モジュール制御信号MDC1がHレベルとなり、FF17の出力信号S3はLレベルとなる。そのため、周波数信号f_{vco}はカウンタ部11により4分周され、周波数信号f_{vco}のパルスが4つカウントされる毎に1つのパルスを持つ出力信号S1が出力される。

【0066】この出力信号S1はエクステンダ部12により4分周されて分周信号PD1として出力される。すなわち、分周信号PD1は周波数信号f_{vco}の周波数を16分周したものとなる。

【0067】また、選択信号SW1がHレベルのとき、前記スワロウカウンタ6により分周信号PD1のパルスがカウントされている間はLレベルのモジュール信号MDが出力される。選択信号SW1がHレベルであるため、NOR回路25、26の出力信号はLレベルに固定される。従って、出力信号S4、S5がLレベルになると、モジュール制御信号MDC1はLレベルとなる。プリスケラ4が分周を開始してから周波数信号f_{vco}の15個目のパルスでは出力信号S1はLレベルであり、出力信号S2はHレベルであり、出力信号S3はHレベルである。従って、周波数信号f_{vco}の16個目のパルスの立ち上がりエッジに基づいて出力信号S2はLレベルとなり、出力信号S3はHレベルに保持される。よって、OR回路14の出力はHレベルとなる。そのため、プリスケラ4に周波数信号f_{vco}の17個目のパルスが入力されると、出力信号S1、S2、S3はすべてLレベルとなる。すなわち、モジュール制御信号MDC1がLレベルになると、分周信号PD1は周波数信号f_{vco}の周波数を17分周したものとなる。

【0068】一方、選択信号SW1がLレベルであると、マルチプレクサ23によってトグルFF22の出力信号S7が選択されてバッファ24から分周信号PD1

14

として出力される。そのため、エクステンダ部12の分周比は16となる。このとき、スワロウカウンタ6からHレベルのモジュール信号MDが出力されていると、モジュール制御信号MDC1がHレベルとなり、FF17の出力信号S3はLレベルとなる。そのため、周波数信号f_{vco}はカウンタ部11により4分周され、周波数信号f_{vco}のパルスが4つカウントされる毎に1つのパルスを持つ出力信号S1が出力される。

【0069】この出力信号S1はエクステンダ部12により16分周されて分周信号PD1として出力される。すなわち、分周信号PD1は周波数信号f_{vco}の周波数を64分周したものとなる。

【0070】また、選択信号SW1がLレベルのとき、前記スワロウカウンタ6により分周信号PD1のパルスがカウントされている間はLレベルのモジュール信号MDが出力される。選択信号SW1がLレベルであるため、NOR回路25、26の出力信号はトグルFF21、22の出力信号S6、S7と同相となる。従って、出力信号S4、S5、S6、S7がLレベルになると、モジュール制御信号MDC1はLレベルとなる。プリスケラ4が分周を開始してから周波数信号f_{vco}の63個目のパルスでは出力信号S1はLレベルであり、出力信号S2はHレベルであり、出力信号S3はHレベルである。従って、周波数信号f_{vco}の64個目のパルスの立ち上がりエッジに基づいて出力信号S2はLレベルとなり、出力信号S3はHレベルに保持される。よって、OR回路14の出力はHレベルとなる。そのため、プリスケラ4に周波数信号f_{vco}の65個目のパルスが入力されると、出力信号S1、S2、S3はすべてLレベルとなる。すなわち、モジュール制御信号MDC1がLレベルになると、分周信号PD1は周波数信号f_{vco}の周波数を65分周したものとなる。このように本実施例では、選択信号SW1のレベルに基づいてトグルFF20、22の出力信号S5、S7のいずれかを選択するマルチプレクサ23をエクステンダ部12に設けた。そして、プリスケラ4の16分周及び17分周において出力信号S5をマルチプレクサ23によって選択して分周信号PD1として出力している。そのため、分周信号PD1の変化は、出力信号S1よりもトグルFF19、20の遅延時間2×T_{d1}とマルチプレクサ23の遅延時間T_{d3}との合計だけ遅れることとなり、図7に示すプリスケラ4の16分周及び17分周における分周信号PD0の遅延時間4×T_{d1}と比較して低減することができる。このとき、モジュール信号MDはプリスケラ4の外部に形成されたスワロウカウンタ6から比較的長い配線によりOR回路27に入力され、分周信号PD1の変化からのモジュール信号MDの遅延時間T_{d2}がある。

【0071】従って、図3に示すようにプリスケラ4の16分周から17分周への切り換わり時において、モ

15

ジュール信号MDがHレベルからLレベルに変化してからモジュール制御信号MDC1がLレベルとなる時点、すなわち、出力信号S4、S5がLレベルとなる時点までの動作マージンを、前記プリスケラ44の動作マージンと比較して大きくすることができる。また、図4に示すようにプリスケラ44の17分周から16分周への切り換わり時において、モジュール信号MDがLレベルからHレベルに変化してからモジュール制御信号MDC1がLレベルとなる時点までの動作マージンを、前記プリスケラ44のそれと比較して大きくすることができる。そのため、周波数信号 f_{vco} の周波数を高くしても、モジュール制御信号MDC1の動作マージンを確保でき、プリスケラ44の誤動作を防止して16分周から17分周への切り換わり及び17分周から16分周への切り換わりを確実に行うことができる。よって、PLL周波数シンセサイザ回路の動作の高速化を図ることが可能となる。

【0072】なお、プリスケラ44の64分周及び65分周において出力信号S7をマルチプレクサ23によって選択して分周信号PD1として出力している。そのため、分周信号PD1の変化は、出力信号S1よりも4つのトグルFF19～22の遅延時間 $4 \times T_{d1}$ とマルチプレクサ23の遅延時間 T_{d3} との合計だけ遅れることとなる。この場合にはプリスケラ44の分周信号PD1の遅延時間は、図7のプリスケラ44の分周信号PD0の遅延時間よりも遅延時間 T_{d3} だけ長くなる。ところが、図5に示すようにトグルFF19～22の出力信号S4～S7が共にLレベルのとき、出力信号S4～S7がHレベルからLレベルに変化するのは後段のFFの出力信号ほど先であり、出力信号S4～S7がLレベルからHレベルに変化するのは後段のFFの出力信号ほど後である。そのため、プリスケラ44の64分周及び65分周においてモジュール制御信号MDC1がLレベルとなるまでの動作マージンは既に十分にある。

【0073】なお、本発明は次のように任意に変更して具体化することも可能である。

(1) 選択信号のレベルに基づいて選択する複数の分周比の組み合わせを、16と64以外の任意の組み合わせとすること。例えば、前記実施例におけるエクステンダ部のトグルFFを5つとし、16分周である2段目のトグルFFの出力信号と128分周である5段目のトグルFFの出力信号とを選択するようにする。この場合にも前記実施例と同様の効果がある。

【0074】(2) 上記実施例ではプリスケラにおける分周比Pと分周比 $(P+X)$ の2モジュラス動作において分周比Xを1としたが、分周比Xを1以外の正の整数又は負の整数としてもよい。

【0075】上記の実施例から把握できる請求項以外の技術的思想について、以下にその効果とともに記載する。

16

(イ) 前記モジュール信号MDは前記分周信号PD1に基づいて前記PLL制御部から出力される請求項3又は請求項4に記載のPLL周波数シンセサイザ回路。

【0076】(ロ) 前記PLL制御部は、発振信号(f_{osc})を出力する水晶発振器(1)と、前記発振信号(f_{osc})を分周して基準信号(f_r)を出力する基準分周器(2)と、前記基準信号(f_r)と比較分周器(3)から出力される比較信号(f_p)との位相差に応じた位相差信号(ϕ_R , ϕ_P)を出力する位相比較器(7)と、前記位相差信号(ϕ_R , ϕ_P)に応じた電圧信号(VT)の電圧値に応じた周波数の信号(f_{vco})を出力する電圧制御発振器(10)とを備える上記(イ)に記載のPLL周波数シンセサイザ回路。

【0077】

【発明の効果】以上詳述したように、請求項1及び2の発明によれば、モジュール信号の遅延時間を低減でき、このモジュール信号にตอบสนองしてプリスケラの分周比を確実に切り換えることができる。

【0078】請求項3の発明によれば、PLL周波数シンセサイザ回路の動作の高速化が可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例におけるプリスケラを示す回路図

【図2】一実施例のPLL周波数シンセサイザ回路を示すブロック図

【図3】図1のプリスケラの作用を示すタイムチャート

【図4】図1のプリスケラの作用を示すタイムチャート

【図5】図1のプリスケラの作用を示すタイムチャート

【図6】従来のPLL周波数シンセサイザ回路を示すブロック図

【図7】図6のプリスケラを示す回路図

【図8】図6のプリスケラの作用を示すタイムチャート

【図9】図6のプリスケラの作用を示すタイムチャート

【符号の説明】

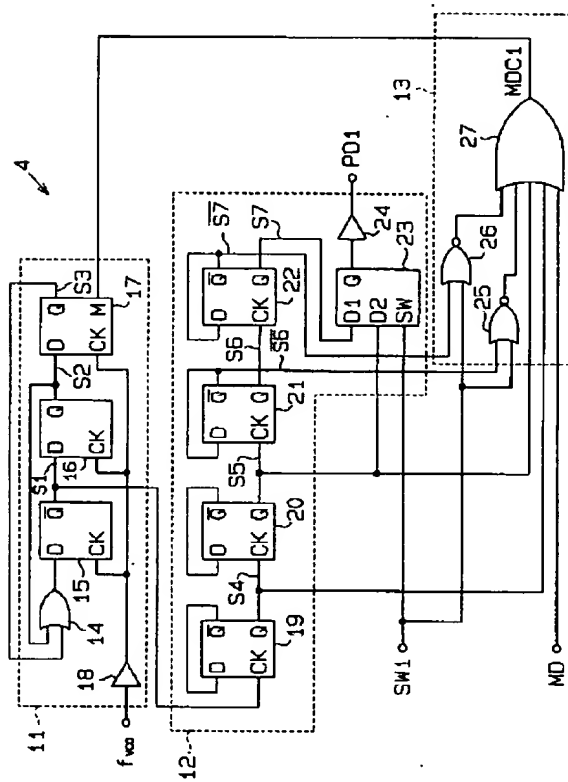
- 1 PLL制御部を構成する水晶発振器
- 2 PLL制御部を構成する基準分周器
- 4 プリスケラ
- 7 PLL制御部を構成する位相比較器
- 8 PLL制御部を構成するチャージポンプ回路
- 9 PLL制御部を構成するローパスフィルタ(LPF)
- 10 PLL制御部を構成する電圧制御発振器(VCO)
- 11 分周回路を構成するカウント部
- 12 分周回路を構成するエクステンダ部

17

13 モジュール制御回路
 15～17, 19～22 フリップフロップ
 23 マルチプレクサ
 f_{vco} 入力信号としての周波数信号
 MD モジュール信号

【図1】

本発明の一実施例におけるプリスケラを示す回路図

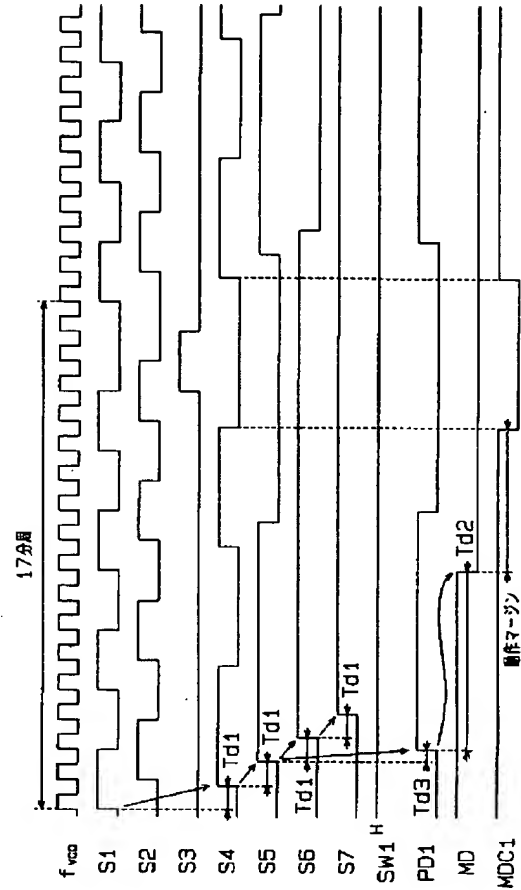


18

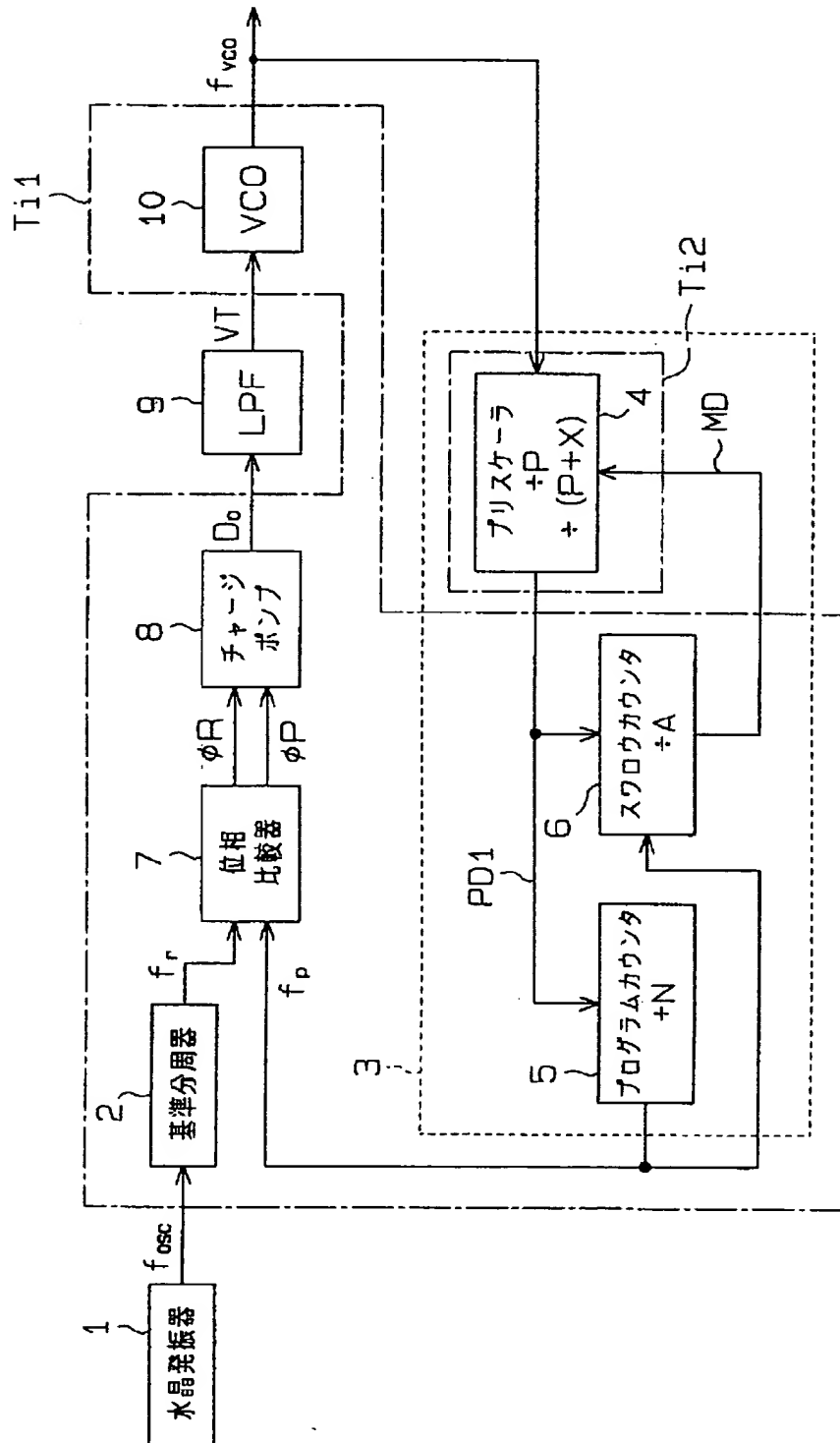
PD1 分周信号
 S1～S7 出力信号
 SW1 選択信号
 Ti1, Ti2 チップ

【図3】

図1のプリスケラの作用を示すタイムチャート

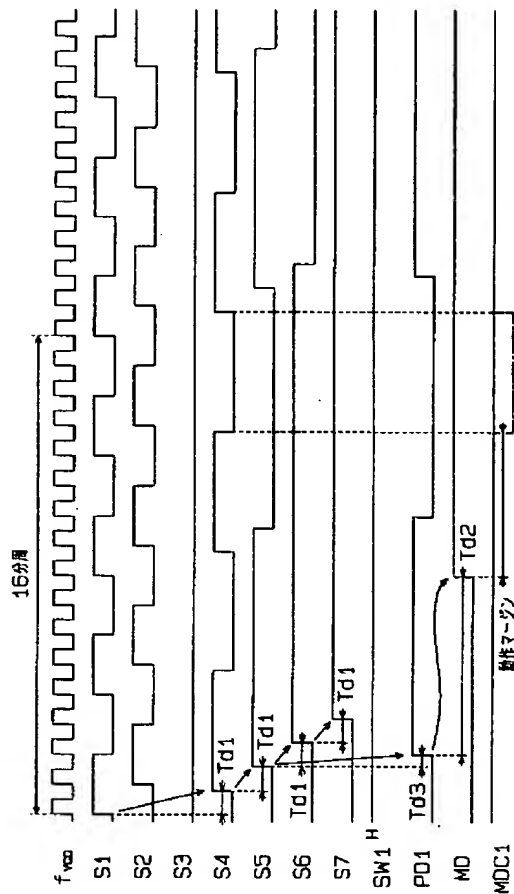


一実施例のPLL周波数シンセサイザ回路を示すブロック図



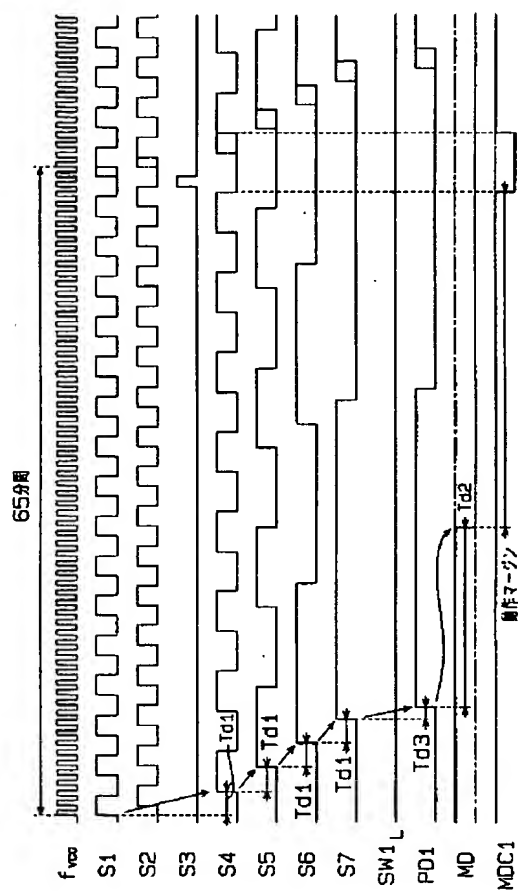
【図4】

図1のプリスケラ作用を示すタイムチャート



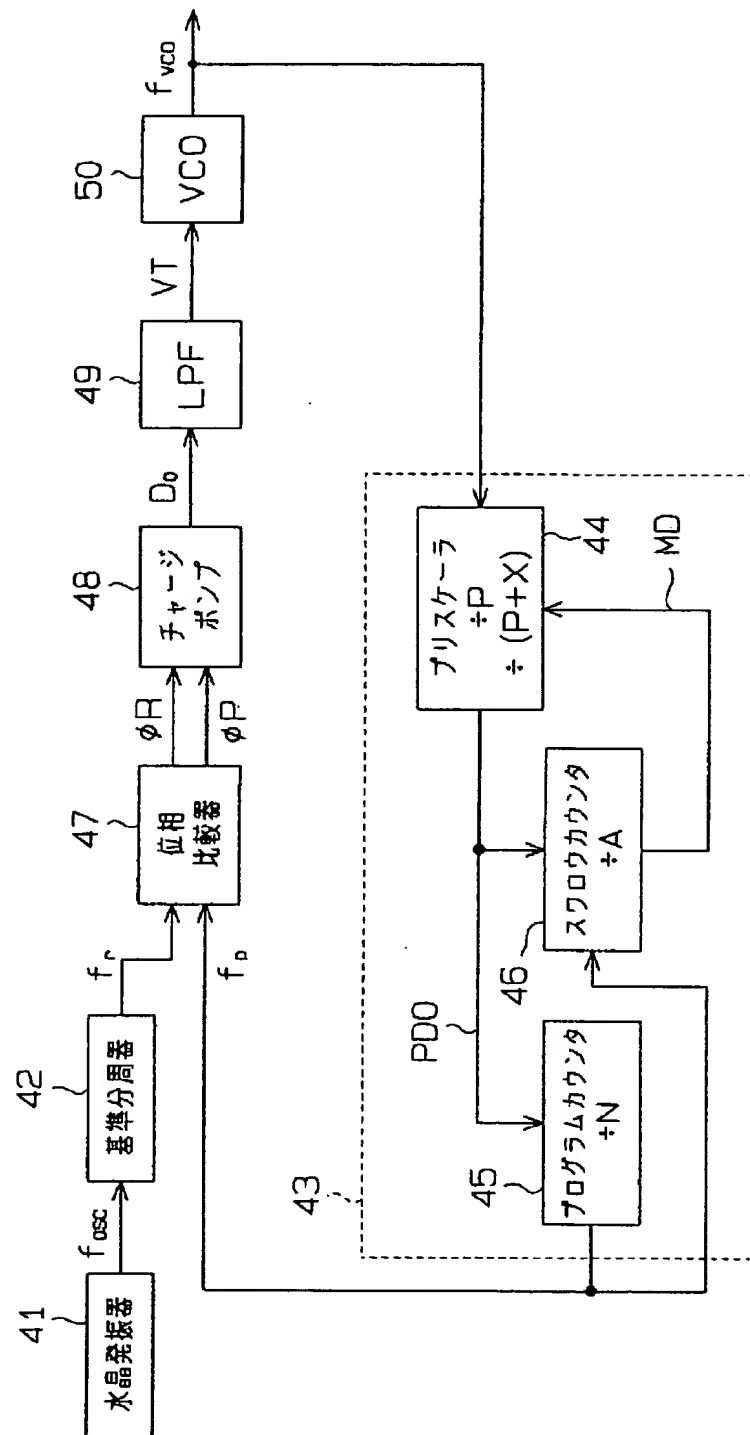
【図5】

図1のプリスケラ作用を示すタイムチャート



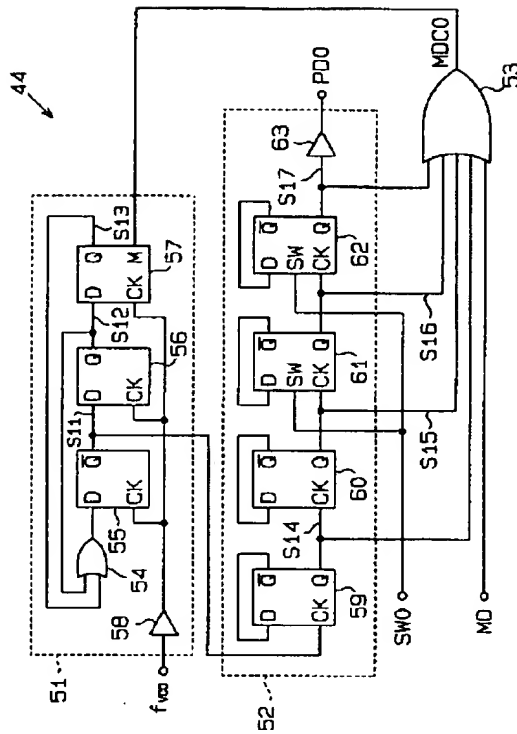
【図6】

従来のPLL周波数シンセサイザ回路を示すブロック図



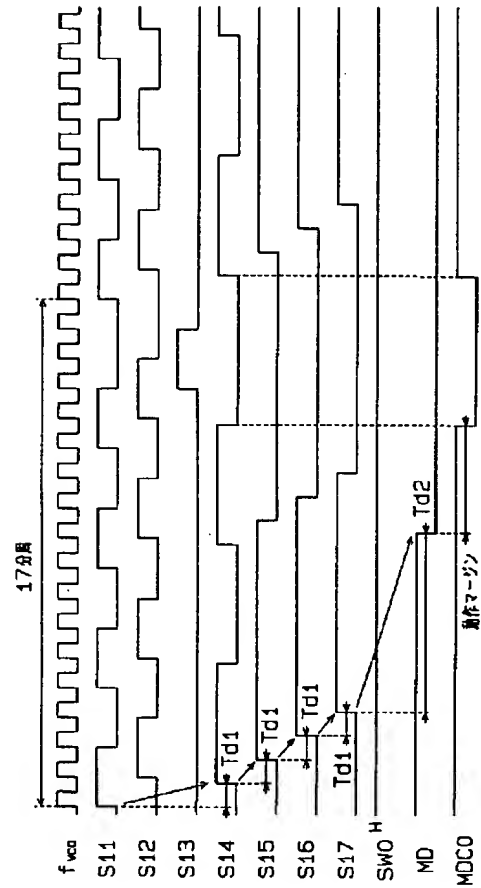
【図7】

図6のプリスケラを示す回路図



【図8】

図6のプリスケラの作用を示すタイムチャート



【図9】

図6のプリスケラ作用を示すタイムチャート

